

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-187359

(43) Date of publication of application : 14.07.1998

(51) Int.CI.

G06F 3/08  
G11C 16/06

(21) Application number : 08-348961

(71) Applicant : TOSHIBA CORP

(22) Date of filing : 26.12.1996

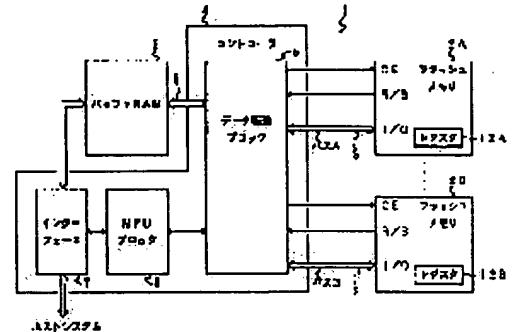
(72) Inventor : SUKEGAWA HIROSHI

## (54) SYSTEM FOR STORING DATA AND METHOD FOR TRANSFERRING DATA APPLIED TO THE SAME SYSTEM

### (57) Abstract:

PROBLEM TO BE SOLVED: To realize data transfer independent for each flash EEPROM by providing a data bus for each flash EEPROM in a system using a semiconductor disk device.

SOLUTION: A data storage system using a semiconductor disk device constituted of flash EEPROM is provided with data buses A and B provided for each flash memory 2A and 2B, and a controller 4 connected with each bus A and B for controlling the transfer of input and output data for each flash memory 2A and 2B. Thus, the controller 4 can transfer the input and output data independently for each flash memory 2A and 2B so that an average transferring speed especially at the time of a data writing operation can be quickened.



### LEGAL STATUS

[Date of request for examination] 03.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

## [Claim(s)]

[Claim 1] It is the data storage system which used the RAM disk equipment which consists of two or more flash EEPROMs. Two or more data bus means for being independently prepared for said every flash EEPROM, and transmitting the I / O data to said flash EEPROM, The data storage system which is connected to said each data bus, carries out an access control for said every flash EEPROM according to the read/write demand from a host system, and is characterized by providing the controller means for controlling a transfer of said I / O data.

[Claim 2] It has an interface means for performing a data transfer between said host systems. The data transmitted from said host system through said interface means are stored. Moreover, it has a buffer memory means to store the data transmitted from said controller means. Said controller means is a data storage system according to claim 1 characterized by for one bus connecting with said buffer memory means, and having a means to control to transmit the data stored in said buffer memory means to said appointed flash EEPROM.

[Claim 3] It is the data storage system according to claim 1 which said controller means has a register group for controlling data transfer, and is characterized by preparing each register in the register group for said every data bus means, including each register of the monitor of a data transfer starting address, the direction of data transfer, and a data transfer condition.

[Claim 4] It is the data storage system which used the RAM disk equipment which consists of two or more flash EEPROMs. Two or more data bus means for being independently prepared for said every flash EEPROM, and transmitting the I / O data to said flash EEPROM, The buffer memory means for storing temporarily the output data read from the input data transmitted from the host system, or said flash EEPROM, It connects with said each flash EEPROM through said each data bus. And a data transfer means to connect with said buffer memory means through one bus, and to perform a transfer of the I / O data between said buffer memory means and said each flash EEPROM, Process the read/write command from said host system, and read/write access to said each flash EEPROM is controlled. The data storage system characterized by providing the control means for controlling said buffer memory means and said data transfer means, and controlling data transfer with said host system.

[Claim 5] It has an interface means for performing data transfer between said host systems and said buffer memory means. Said control means The input data transmitted from said host system through said interface means according to the light access request from said host system is stored in said buffer memory means. A read access demand is accepted from said host system. And with said data transfer means The data storage system according to claim 4 characterized by controlling to transmit the output data from said flash EEPROM stored in said buffer memory means from said host system through said interface means.

[Claim 6] Said data transfer means has the register for buses which constructs and \*\* the 1st and the 2nd register for holding the data outputted from said buffer memory means for said every data bus means. It has a means to perform the bus arbitration according one bus connected to said buffer memory means according to the data transfer demand for said every data bus means to a time-sharing transfer. The data

storage system according to claim [redacted] characterized by having a means to transmit the data transmitted by data transfer authorization from said buffer memory means to said data bus means for access, using said the 1st and 2nd register corresponding to said data bus means by turns.

[Claim 7] It is the data transfer approach applied to the data storage system which used the RAM disk equipment which consists of two or more flash EEPROMs. Two or more data buses A and B for being independently prepared for said every flash EEPROM, and transmitting the I / O data to said flash EEPROM, The buffer memory means for storing temporarily the output data read from the input data transmitted from the host system, or said flash EEPROM, It connects with said each flash EEPROM through said each data buses A and B. And connect with said buffer memory means through one bus, and it has a data transfer means to perform a transfer of the I / O data between said buffer memory means and said each flash EEPROM. Said data transfer means has the bus registers A0 and A1 and the bus registers B0 and B1 for holding the data outputted from said buffer memory means to said every data buses A and B. When transmitting the data from said buffer memory means to the data buses A and B corresponding to the flash EEPROM for access according to the light access request from said host system Time sharing of the one time amount of said buffer memory means which can be bus transmitted is carried out to said every data buses A and B. The processing which stores in said bus register A0 the data transmitted from said buffer memory means according to the transfer request of said data bus A at the time of bus transfer [ of said buffer memory means ] possible, While storing in said bus register A1 the data transmitted from said buffer memory means according to the transfer request of said data bus A at the time of bus transfer [ of said buffer memory means ] possible either of said bus registers A0 or A1 -- data -- with the processing which said data bus A transmits The processing which stores in said bus register B0 the data transmitted from said buffer memory means according to the transfer request of said data bus B at the time of bus transfer [ of said buffer memory means ] possible, While storing in said bus register B1 the data transmitted from said buffer memory means according to the transfer request of said data bus B at the time of bus transfer [ of said buffer memory means ] possible either of said bus registers B0 or B1 -- data -- the data transfer approach characterized by consisting of processing which said data bus B transmits.

[Claim 8] It is the data storage system of a publication either from claim 1 which one group consists of said two or more flash EEPROMs, and is characterized by establishing said data bus means independently for every group to claim 6.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention is applied to a computer system and relates to the data storage system which used the RAM disk equipment which consists of flash EEPROMs.

#### [0002]

[Description of the Prior Art] Conventionally, unlike main memory, in the computer system, the external storage which maintains preservation of data at the time of power-source cutoff, and has a mass data storage function is an indispensable component. As this external storage, the RAM disk equipment which consists of possible flash EEPROMs (flash memory) of rapid access attracts attention as compared with the magnetic disk drive, the optical disk unit, etc.

[0003] RAM disk equipment serves as a memory chip of two or more flash EEPROMs, and a controller from Buffer RAM roughly. A controller is the interface of a host system and each flash EEPROM, and performs read/write control of each flash EEPROM according to the access request of a host system. Buffer RAM is the buffer memory for performing data transfer of a host system and a controller, and stores the lead data which stored the light data transmitted from the host system, and were read from each flash EEPROM.

#### [0004]

[Problem(s) to be Solved by the Invention] As mentioned above, it is the method with which a controller constitutes the interface of a host system and each flash EEPROM, and controls a transfer of a I / O data (read/write data) by RAM disk equipment. By the way, data transfer between a controller and each flash EEPROM is performed by one data bus by usual.

[0005] The write-in actuation (elimination actuation is also included) of a flash EEPROM is a low speed to read-out actuation of data. For this reason, by the data transfer by one data bus, the processing effectiveness at the time of accessing each flash EEPROM continuously falls remarkably especially at the time of write-in actuation of data.

[0006] Then, the object of this invention is in the thing which consist of every flash EEPROM and two or more flash EEPROMs and for which a data bus is formed for every group, data transfer for every flash EEPROM is made possible, and the effectiveness of the access processing at the time of data write-in actuation is raised especially in the system which used RAM disk equipment.

#### [0007]

[Means for Solving the Problem] In the data storage system which used the RAM disk equipment which consists of flash EEPROMs, this invention is the system equipped with two or more data buses formed for every group, and the controller for connecting with each of this data bus and controlling a transfer of a I / O data for every flash EEPROM, when one group consists of two or more flash EEPROMs. By such configuration, since a controller can transmit a I / O data independently for every flash EEPROM, it can raise the access efficiency especially in data write-in actuation.

[0008] Furthermore, this invention assumes the configuration to which a controller and buffer memory (buffer RAM) were connected by one bus. Buffer memory stores the data (lead data) read from each

flash EEPROM transmitted from [redacted] data (light data) transmitted from the host system, and a controller. Although a controller performs data transfer independently of the data bus for every flash EEPROM at the time of data write-in actuation, it needs to control the data transfer by one bus from buffer memory. [0009] Then, the controller of this invention has the register for buses which constructs and \*\* the 1st and the 2nd register for every data bus, and has a means to perform the bus arbitration according one bus connected to buffer memory according to the data transfer demand for every data bus means to a time-sharing transfer. At this time, the 1st and the 2nd register which were prepared for every data bus are used by turns, and data transfer control to a data bus is performed. It becomes possible to realize data transfer by time-sharing transfer control from buffer memory, to raise data transmission efficiency, and to raise the effectiveness of the access processing at the time of data write-in actuation as a result with the independent data transfer to each flash EEPROM, by this, at the time of data write-in actuation. [0010]

[Embodiment of the Invention] With reference to a drawing, the gestalt of operation of this invention is explained below. Drawing 1 is the block diagram showing the important section of the RAM disk equipment related to the operation gestalt of this invention.

(System configuration) The RAM disk equipment 1 of this operation gestalt is divided roughly, and as shown in drawing 1, it has flash EEPROM (flash memory is called below) 2A, 2B, a controller (disk controller) 4, and a buffer (buffer memory) RAM 8. Here, each flash memory 2A and 2B consist of a memory chip of a group unit, respectively, when one group consists of two or more flash EEPROMs.

[0011] In addition to the memory cell of EEPROM, each flash memory 2A and 2B have data registers 12A and 12B, and transmit a I / O data (I/O) by using these data registers 12A and 12B as a buffer. Each flash memory 2A and 2B output a busy (BUSY) signal according to read access or light access at the time of the read/write of data, and if read/write is possible, they will output a ready (READY) signal (R/B signal). Furthermore, in this invention, each flash memory 2A and the data buses A and B for every 2B are formed as a data bus 3 for transmitting a I / O data.

[0012] A controller 4 is divided roughly and consists of data transfer block 5, microprocessor (MPU) block 6, and an interface 7 with a host system. The data transfer block 5 performs data transfer of a buffer RAM 8, and each flash memory 2A and 2B by control from the MPU block (MPU is only called below) 6. Control signals (a R/B signal, chip select signal CE, etc.) required for this data transfer actuation are exchanged between each flash memory 2A and 2B. Furthermore, the data transfer block 5 transmits a I / O data (read/write data) through the data buses A and B of dedication as mentioned above, respectively with each flash memory 2A and 2B (serial data transfer). Moreover, the data transfer block 5 performs data transfer with a buffer RAM 8 through one bus 9 so that it may mention later.

[0013] MPU6 is the Main control unit of RAM disk equipment 1, and performs various kinds of control action, such as read/write command processing of a host system, by performing the program stored in ROM which is not illustrated (called firmware with a program). According to the access request from a host system, MPU6 controls the data transfer block 5, an interface 7, and a buffer RAM 8, and, specifically, controls data transfer with a host system. An interface 7 transmits the data which transmitted the data transmitted from the host system to the buffer RAM 8, and were stored in the buffer RAM 8 by the data transfer block 5 to a host system.

[0014] A host system is a body of a computer connected with peripheral devices, such as RAM disk equipment 1, through an external bus, and assumes the case where RAM disk equipment 1 is used as a peripheral device of external storage here.

(Data transfer actuation of this operation gestalt) In the above system configurations, the data transfer block 5 performs data transfer between a buffer RAM 8, and each flash memory 2A and 2B by the controller 4 according to directions of MPU6. Here, it is assumed that flash memory 2A and 2Bs are two memory chips for convenience.

[0015] With this operation gestalt, a controller 4 performs data transfer independently with flash memory 2A and 2B through the data buses A and B of dedication, respectively. Here, the data transfer block 5 has a register group required for data transfer actuation, as shown in drawing 2. The register group is prepared in every data buses A and B, and the registers 20A and 20B for data starting addresses

by the side of a buffer RAM 8, the registers 21A and 21B for data starting addresses by the side of a flash memory, the registers 22A and 22B for directions of the direction of data transfer, and the registers 23A and 23B for a data transfer monitor are contained, respectively. The registers 23A and 23B for a data transfer monitor are registers holding the flag information for recognizing a data transfer condition (working or termination).

[0016] MPU6 performs data transfer control by referring to each control information which set and set each control information of directions of the address and a direction, and the flag of a data transfer condition to these register groups. That is, the data transfer block 5 performs data transfer independently, respectively by control of MPU6 through the register group prepared in every data buses A and B, without interfering mutually to data buses A and B.

[0017] Here, the bus 9 of a buffer RAM 8 is a 16-bit twice as many bus as this to each data buses A and B of flash memory 2A and 2B being 8-bit buses in usual. Therefore, each data buses A and B will serve as a twice as many transfer rate difference as this, respectively, if it operates in the same cycle to the bus 9 of a buffer RAM 8. Moreover, as mentioned above, since the data transfer rate at the time of the data write-in actuation to flash memory 2A and 2B is a low speed, said speed difference becomes still larger [ the data transfer mean velocity difference at the time of data write-in actuation ].

[0018] Then, this operation gestalt performs data transfer actuation which became independent, respectively with flash memory 2A and the data buses A and B established in dedication for every 2B. Thereby, as compared with the case of one data bus, the data transfer rate of flash memory 2A and 2B is accelerable like before. It is possible to reduce considerably the data transfer mean velocity difference over the transfer rate of the bus 9 of a buffer RAM 8 especially at the former in the time of the data write-in actuation to flash memory 2A and 2B (at the time of light access).

(Bus arbitration of Buffer RAM) As mentioned above, since the data transfer which became independent, respectively is possible, the data transfer rate of the data transfer block 5, and flash memory 2A and 2B is especially accelerable according to this operation gestalt with flash memory 2A and the data buses A and B established in dedication for every 2B at the time of data write-in actuation.

[0019] By the way, at the time of data write-in actuation, the data transfer block 5 transmits light data from a buffer RAM 8, and transmits them to flash memory 2A and 2B at it. The buffer RAM 8 is connected to the data transfer block 5 by one bus 9 by usual. Therefore, MPU6 needs to perform the bus arbitration (bus mediation function) for avoiding the interference on a bus 9 in order to transmit those data from a buffer RAM 8 by same bus 9, when transmitting data to data buses A and B independently.

[0020] Hereafter, with reference to the conceptual diagram of drawing 3, the timing chart of drawing 4, and the flow chart of drawing 5, the data transfer method of the bus 9 by the side of the buffer RAM 8 of this operation gestalt is explained.

[0021] First, in this operation gestalt, as shown in drawing 3, the data transfer block 5 has the 1st and the 2nd register of respectively dedication in data buses A and B. Let the 1st and the 2nd register corresponding to a data bus A be bus A0 register and bus A1 register, respectively. Similarly, let the 1st and the 2nd register corresponding to a data bus B be bus B0 register and bus B1 register, respectively. Each register is all, for example, 16 words.

[0022] If the transfer request of a data bus A occurs and the transfer of a bus 9 is possible for the data transfer block 5, a data transfer will be performed from a buffer RAM 9 to bus A0 register (steps S1-S3). Next, according to the transfer request of a data bus A, if the transfer of a bus 9 is possible, a data transfer will be performed from a buffer RAM 9 to bus A1 register (step S4- S6). At this time, the data transfer block 5 transmits the data currently held at bus A0 register to a data bus A (step S7). Such processing will be repeated if there is no transfer request of a data bus B. That is, bus A0 register and bus A1 register are used by turns, and the data transmitted from the buffer RAM 9 are transmitted to a data bus A.

[0023] On the other hand, if the transfer request of a data bus B occurs and the transfer of a bus 9 is possible, a data transfer will be performed from a buffer RAM 9 to bus B0 register (steps S8-S10). Here, data transfer will be performed, if time amount of a bus 9 which can be transmitted is made two division into equal parts by time sharing and a transfer request is in the time amount (time amount shown by yes)

which can be transmitted, as shown in drawing 4. Therefore, if it is the time amount (time amount shown by no) which is not the time amount which can be method [ of bus B ] transmitted when the transfer request of the next data bus B occurs, data transfer from a buffer RAM 9 to bus B1 register will be performed (NO of steps S11 and S12).

[0024] In short, as shown in the timing chart of drawing 4, if the transfer request of each data buses A and B occurs in the time amount (time amount of yes) by which time sharing was carried out to two division into equal parts and which can be transmitted, bus A0 register, bus A1 register, bus B0 register, and bus B1 register will not be in it from a buffer RAM 9, but it will be transmitted to it at \*\*. And similarly, as for the data transfer block 5, a data bus B transmits the data currently held at bus B0 register to a data bus B, when a data transfer is performed by bus B1 register (steps S13 and S14). Therefore, bus B0 register and bus B1 register are used by turns, and the data transmitted from the buffer RAM 9 are transmitted to a data bus B.

[0025] According to this operation gestalt, data transfer actuation which became independent, respectively can be performed as mentioned above with flash memory 2A and the data buses A and B established in dedication for every 2B. Therefore, in the time of data write-in actuation, the average transfer rate to flash memory 2A and 2B is especially accelerable. Thereby, the access efficiency over flash memory 2A and 2B can be improved.

[0026] Here, even when a transfer request occurs from each data buses A and B independently to one bus 9 by performing the bus arbitration according data transfer with a buffer RAM 8 to a time-sharing transfer of each data buses A and B of every, the situation in which it interferes by bus 9 can be prevented, and the data from a buffer RAM 8 can be certainly transmitted to each data buses A and B.

[0027]

[Effect of the Invention] As explained in full detail above, in the system which used RAM disk equipment according to this invention, a data bus is formed for every flash EEPROM, and data transfer which became independent for every flash EEPROM can be realized. Therefore, especially, the average transfer rate to each flash EEPROM can be accelerated at the time of data write-in actuation, and the effectiveness of access processing can be raised at it.

---

[Translation done.]

## \*NOTICES\*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The block diagram showing the important section of the RAM disk equipment related to the operation gestalt of this invention.

[Drawing 2] The conceptual diagram showing the internal configuration of the controller related to this operation gestalt.

[Drawing 3] The conceptual diagram showing the internal configuration of the controller related to this operation gestalt.

[Drawing 4] The timing chart for explaining the actuation related to this operation gestalt.

[Drawing 5] The flow chart for explaining the actuation related to this operation gestalt.

### [Description of Notations]

1 -- RAM disk equipment

2A, 2B -- Flash EEPROM (flash memory)

3 -- Data bus (data buses A and B)

4 -- Controller

5 -- Data transfer block

6 -- MPU block

7 -- Interface

8 -- Buffer RAM

9 -- Bus (buffer RAM side bus)

20A, 20B -- Register for data starting addresses (Buffer RAM side)

21A, 21B -- Register for data starting addresses (flash memory side)

22A, 22B -- Register for directions of the direction of data transfer

23A, 23B -- Register for a data transfer monitor

---

[Translation done.]



## 【特許請求の範囲】

【請求項1】 複数のフラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムであって、

前記各フラッシュEEPROM毎に独立して設けられて、前記フラッシュEEPROMに対する入出力データの転送を行なうための複数のデータバス手段と、  
前記各データバスに接続されて、ホストシステムからのリード/ライト要求に応じて前記各フラッシュEEPROM毎にアクセス制御し、前記入出力データの転送を制御するためのコントローラ手段とを具備したことを特徴とするデータ記憶システム。

【請求項2】 前記ホストシステムとの間でデータの転送を行なうためのインターフェース手段を有し、

前記インターフェース手段を介して前記ホストシステムから転送されたデータを格納し、また前記コントローラ手段から転送されたデータを格納するバッファメモリ手段を有し、

前記コントローラ手段は前記バッファメモリ手段と1本のバスにより接続されて、前記バッファメモリ手段に格納されたデータを指定の前記フラッシュEEPROMに転送するように制御する手段を有することを特徴とする請求項1記載のデータ記憶システム。

【請求項3】 前記コントローラ手段はデータ転送を制御するためのレジスタ群を有し、

レジスタ群はデータ転送開始アドレス、データ転送方向、データ転送状態の監視の各レジスタを含み、かつ各レジスタを前記各データバス手段毎に設けられていることを特徴とする請求項1記載のデータ記憶システム。

【請求項4】 複数のフラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムであって、

前記各フラッシュEEPROM毎に独立して設けられて、前記フラッシュEEPROMに対する入出力データの転送を行なうための複数のデータバス手段と、  
ホストシステムから転送された入力データまたは前記フラッシュEEPROMから読出された出力データを一時的に格納するためのバッファメモリ手段と、

前記各データバスを介して前記各フラッシュEEPROMに接続されて、かつ1本のバスを介して前記バッファメモリ手段に接続されて、前記バッファメモリ手段と前記各フラッシュEEPROMとの間の入出力データの転送を実行するデータ転送手段と、

前記ホストシステムからのリード/ライトコマンドを処理して、前記各フラッシュEEPROMに対するリード/ライトアクセスを制御し、前記バッファメモリ手段と前記データ転送手段とを制御して前記ホストシステムとのデータ転送を制御するための制御手段とを具備したことを特徴とするデータ記憶システム。

【請求項5】 前記ホストシステムと前記バッファメモリ手段との間でデータ転送を行なうためのインターフェース手段を有し、

前記制御手段は、前記ホストシステムからのライトアクセス要求に応じて前記インターフェース手段を介して前記ホストシステムから転送された入力データを前記バッファメモリ手段に格納し、かつ前記ホストシステムからのリードアクセス要求に応じて前記データ転送手段により前記バッファメモリ手段に格納された前記フラッシュEEPROMからの出力データを前記インターフェース手段を介して前記ホストシステムから転送するように制御することを特徴とする請求項4記載のデータ記憶システム。

【請求項6】 前記データ転送手段は、前記各データバス手段毎に前記バッファメモリ手段から出力されるデータを保持するための第1と第2のレジスタを組みとするバス用レジスタを有し、

前記各データバス手段毎のデータ転送要求に応じて前記バッファメモリ手段に接続された1本のバスを時分割転送によるバスアービトリエーションを実行する手段を有し、

データ転送許可により前記バッファメモリ手段から転送されたデータを、前記データバス手段に対応する前記第1と第2のレジスタを交互に使用してアクセス対象の前記データバス手段に転送する手段を有することを特徴とする請求項4記載のデータ記憶システム。

【請求項7】 複数のフラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムに適用するデータ転送方法であって、

前記各フラッシュEEPROM毎に独立して設けられて、前記フラッシュEEPROMに対する入出力データの転送を行なうための複数のデータバスA, Bと、ホストシステムから転送された入力データまたは前記フラッシュEEPROMから読出された出力データを一時的に格納するためのバッファメモリ手段と、前記各データバスA, Bを介して前記各フラッシュEEPROMに接続されて、かつ1本のバスを介して前記バッファメモリ手段に接続されて、前記バッファメモリ手段と前記各フラッシュEEPROMとの間の入出力データの転送を実行するデータ転送手段とを有し、

前記データ転送手段は前記データバスA, B毎に前記バッファメモリ手段から出力されるデータを保持するためのバスレジスタA0, A1およびバスレジスタB0, B1を有し、

前記ホストシステムからのライトアクセス要求に応じて前記バッファメモリ手段からのデータをアクセス対象のフラッシュEEPROMに対応するデータバスA, Bに転送するときに、前記データバスA, B毎に前記バッファメモリ手段の1本のバス転送可能時間を時分割し、  
前記データバスAの転送要求に応じて前記バッファメモリ手段のバス転送可能時に前記バッファメモリ手段から

転送されたデータを前記バスレジス~~ト~~トに格納する処理と、

前記データバスAの転送要求に応じて前記バッファメモリ手段のバス転送可能時に前記バッファメモリ手段から転送されたデータを前記バスレジスタA1に格納すると共に、前記バスレジスタA0またはA1のいずれからデータを前記データバスAの転送する処理と、

前記データバスBの転送要求に応じて前記バッファメモリ手段のバス転送可能時に前記バッファメモリ手段から転送されたデータを前記バスレジスタB0に格納する処理と、

前記データバスBの転送要求に応じて前記バッファメモリ手段のバス転送可能時に前記バッファメモリ手段から転送されたデータを前記バスレジスタB1に格納すると共に、前記バスレジスタB0またはB1のいずれからデータを前記データバスBの転送する処理とからなることを特徴とするデータ転送方法。

【請求項8】 1グループが複数の前記フラッシュEEPROMからなり、前記データバス手段は、各グループ毎に独立して設けられていることを特徴とする請求項1から請求項6までのいずれか記載のデータ記憶システム。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、コンピュータシステムに適用し、フラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムに関する。

##### 【0002】

【従来の技術】 従来、コンピュータシステムでは、メインメモリとは異なり、電源遮断時にデータの保存を維持し、かつ大容量のデータ保存機能を有する外部記憶装置が必要不可欠な構成要素になっている。この外部記憶装置として、磁気ディスク装置や光ディスク装置等と比較して、高速アクセスの可能なフラッシュEEPROM(フラッシュメモリ)から構成される半導体ディスク装置が注目されている。

【0003】 半導体ディスク装置は、概略的には複数のフラッシュEEPROMのメモリチップと、コントローラと、バッファRAMとからなる。コントローラは、ホストシステムと各フラッシュEEPROMとのインターフェースであり、ホストシステムのアクセス要求に応じて各フラッシュEEPROMのリード/ライト制御を実行する。バッファRAMは、ホストシステムとコントローラとのデータ転送を行なうためのバッファメモリであり、ホストシステムから転送されたライトデータを格納し、また各フラッシュEEPROMから読出されたリードデータを格納する。

##### 【0004】

【発明が解決しようとする課題】 前述したように、半導

10

体ディスク装置では、コントローラがホストシステムと各フラッシュEEPROMとのインターフェースを構成し、入出力データ(リード/ライトデータ)の転送を制御する方式である。ところで、コントローラと各フラッシュEEPROMとの間のデータ転送は、通常では1本のデータバスにより行なわれている。

【0005】 フラッシュEEPROMは、データの読み出し動作に対して書き込み動作(消去動作も含む)が低速である。このため、特にデータの書き込み動作時に、1本のデータバスによるデータ転送では、各フラッシュEEPROMを連続的にアクセスする際の処理効率が著しく低下する。

【0006】 そこで、本発明の目的は、半導体ディスク装置を使用したシステムにおいて、各フラッシュEEPROM毎または複数のフラッシュEEPROMからなるグループ毎にデータバスを設けて、各フラッシュEEPROM毎のデータ転送を可能にして、特にデータ書き込み動作時のアクセス処理の効率を向上させることにある。

##### 【0007】

【課題を解決するための手段】 本発明は、フラッシュEEPROMから構成される半導体ディスク装置を使用したデータ記憶システムにおいて、例えば1グループが複数のフラッシュEEPROMからなる場合に、各グループ毎に設けられた複数のデータバスと、この各データバスに接続されて各フラッシュEEPROM毎に入出力データの転送を制御するためのコントローラとを備えたシステムである。このような構成により、コントローラは各フラッシュEEPROM毎に独立して、入出力データの転送を行なうことができるため、特にデータ書き込み動作におけるアクセス効率を向上させることができる。

【0008】 さらに、本発明は、コントローラとバッファメモリ(バッファRAM)とは1本のバスにより接続された構成を想定している。バッファメモリは、ホストシステムから転送されたデータ(ライトデータ)およびコントローラから転送された各フラッシュEEPROMから読み出されたデータ(リードデータ)を格納する。コントローラは、データ書き込み動作時に、各フラッシュEEPROM毎のデータバスに独立にデータ転送を実行するが、バッファメモリからは1本のバスによるデータ転送を制御する必要がある。

【0009】 そこで、本発明のコントローラは、各データバス毎に第1と第2のレジスタを組みとするバス用レジスタを有し、各データバス手段毎のデータ転送要求に応じてバッファメモリに接続された1本のバスを時分割転送によるバスアービトレーションを実行する手段を有する。このとき、各データバス毎に設けられた第1と第2のレジスタを交互に使用して、データバスに対するデータ転送制御を実行する。これにより、データ書き込み動作時に、各フラッシュEEPROMに対する独立したデータ転送と共に、バッファメモリからは時分割転送制御

50

によるデータ転送を実現して、データ転送効率を向上させて結果的にデータ書き込み動作時のアクセス処理の効率を高めることが可能となる。

【0010】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を説明する。図1は本発明の実施形態に関係する半導体ディスク装置の要部を示すブロック図である。

(システム構成) 本実施形態の半導体ディスク装置1は大別して、図1に示すように、フラッシュEEPROM(以下フラッシュメモリと称する)2A, 2Bと、コントローラ(ディスクコントローラ)4と、バッファRAM(バッファメモリ)8とを有する。ここで、各フラッシュメモリ2A, 2Bはそれぞれ、1グループが複数のフラッシュEEPROMからなる場合にグループ単位のメモリチップからなる。

【0011】各フラッシュメモリ2A, 2BはEEPROMのメモリセル以外に、データレジスタ12A, 12Bを有し、このデータレジスタ12A, 12Bをバッファとして入出力データ(I/O)の転送を行なう。各フラッシュメモリ2A, 2Bは、リードアクセスまたはライトアクセスに応じてデータのリード/ライト時にはビジィ(BUSY)信号を出力し、またリード/ライトが可能であればレディ(READY)信号を出力する(R/B信号)。さらに、本発明では、入出力データを転送するためのデータバス3として、各フラッシュメモリ2A, 2B毎のデータバスA, Bが設けられている。

【0012】コントローラ4は大別して、データ転送ブロック5と、マイクロプロセッサ(MPU)ブロック6と、ホストシステムとのインターフェース7とから構成されている。データ転送ブロック5は、MPUブロック(以下単にMPUと称する)6からの制御により、バッファRAM8と各フラッシュメモリ2A, 2Bとのデータ転送を実行する。このデータ転送動作に必要な制御信号(R/B信号やチップセレクト信号CEなど)を各フラッシュメモリ2A, 2Bとの間で交換する。さらに、データ転送ブロック5は、前記のように、各フラッシュメモリ2A, 2Bとはそれぞれ専用のデータバスA, Bを介して、入出力データ(リード/ライトデータ)の転送(シリアルデータ転送)を行なう。また、データ転送ブロック5は、後述するように、1本のバス9を介してバッファRAM8とのデータ転送を行なう。

【0013】MPU6は半導体ディスク装置1のメイン制御装置であり、図示しないROMに格納されたプログラムを実行することにより、ホストシステムのリード/ライトコマンド処理などの各種の制御動作を実行する(プログラムと共にファームウェアとも呼ばれる)。具体的には、MPU6はホストシステムからのアクセス要求に応じて、データ転送ブロック5、インターフェース7、バッファRAM8を制御して、ホストシステムとのデータ転送を制御する。インターフェース7は、ホスト

システムから転送されたデータをバッファRAM8に転送し、またデータ転送ブロック5によりバッファRAM8に格納されたデータをホストシステムに転送する。

【0014】ホストシステムは、外部バスを介して半導体ディスク装置1などの周辺デバイスと接続されるコンピュータ本体であり、ここでは半導体ディスク装置1を外部記憶装置の周辺デバイスとして使用する場合を想定している。

(本実施形態のデータ転送動作) 前述のようなシステム構成において、コントローラ4では、データ転送ブロック5がMPU6の指示に従って、バッファRAM8と各フラッシュメモリ2A, 2Bとの間のデータ転送を実行する。ここで、フラッシュメモリ2A, 2Bは便宜的に2個のメモリチップであると想定する。

【0015】本実施形態では、コントローラ4は、専用のデータバスA, Bを介して、フラッシュメモリ2A, 2Bとはそれぞれ独立してデータ転送を実行する。ここで、データ転送ブロック5は、図2に示すように、データ転送動作に必要なレジスタ群を有する。レジスタ群は、データバスA, B毎に設けられており、それぞれバッファRAM8側のデータ開始アドレス用レジスタ20A, 20B、フラッシュメモリ側のデータ開始アドレス用レジスタ21A, 21B、データ転送方向の指示用レジスタ22A, 22B、データ転送監視用レジスタ23A, 23Bが含まれている。データ転送監視用レジスタ23A, 23Bは、データ転送状態(動作中または終了)を認識するためのフラグ情報を保持するレジスタである。

【0016】MPU6は、これらのレジスタ群にアドレス、方向の指示、データ転送状態のフラグの各制御情報をセットし、かつセットした各制御情報を参照することによりデータ転送制御を実行する。即ち、データ転送ブロック5は、データバスA, B毎に設けられたレジスタ群を介したMPU6の制御により、データバスA, Bに対して相互に干渉することなく、それぞれ独立してデータ転送を行なう。

【0017】ここで、フラッシュメモリ2A, 2Bの各データバスA, Bは通常では8ビットのバスであるのに対し、バッファRAM8のバス9は2倍の16ビットのバスである。従って、各データバスA, Bはそれぞれ、バッファRAM8のバス9に対して同じサイクルで動作すれば2倍の転送速度差となる。また、前述したように、フラッシュメモリ2A, 2Bに対するデータ書き込み動作時のデータ転送速度は低速であるため、前記速度差はデータ書き込み動作時のデータ転送平均速度差はさらに大きくなる。

【0018】そこで、本実施形態は、フラッシュメモリ2A, 2B毎に専用に設けられたデータバスA, Bにより、それぞれ独立したデータ転送動作を実行する。これにより、従来のように1本のデータバスの場合と比較し

て、フラッシュメモリ 2 A, 2 B の転送速度を高速化することができる。特に、フラッシュメモリ 2 A, 2 B に対するデータ書き込み動作時（ライトアクセス時）では、従来ではバッファ RAM 8 のバス 9 の転送速度に対するデータ転送平均速度差をかなり縮小することが可能である。

（バッファ RAM のバスアービトリエーション）前述したように、本実施形態によればフラッシュメモリ 2 A, 2 B 毎に専用に設けられたデータバス A, B により、それぞれ独立したデータ転送が可能であるため、特にデータ書き込み動作時にデータ転送ブロック 5 とフラッシュメモリ 2 A, 2 B とのデータ転送速度を高速化することができる。

【0019】ところで、データ書き込み動作時には、データ転送ブロック 5 は、バッファ RAM 8 からライトデータを転送して、フラッシュメモリ 2 A, 2 B に転送する。バッファ RAM 8 は、通常では 1 本のバス 9 によりデータ転送ブロック 5 に接続されている。従って、MPU 6 は、データバス A, B に独立してデータを転送する場合に、それらのデータを同一のバス 9 によりバッファ RAM 8 から転送するため、バス 9 上の干渉を回避するためのバスアービトリエーション（バス調停機能）を行なう必要がある。

【0020】以下、図 3 の概念図、図 4 のタイミングチャート、および図 5 のフローチャートを参照して、本実施形態のバッファ RAM 8 側のバス 9 のデータ転送方式を説明する。

【0021】まず、本実施形態は、図 3 に示すように、データ転送ブロック 5 は、データバス A, B のそれぞれ専用の第 1 と第 2 のレジスタを有する。データバス A に対応する第 1 と第 2 のレジスタをそれぞれバス A 0 レジスタとバス A 1 レジスタとする。同様に、データバス B に対応する第 1 と第 2 のレジスタをそれぞれバス B 0 レジスタとバス B 1 レジスタとする。各レジスタはいずれも例えれば 16 ワードである。

【0022】データ転送ブロック 5 は、仮にデータバス A の転送要求が発生すると、バス 9 の転送が可能であれば、バッファ RAM 9 からバス A 0 レジスタにデータの転送を実行する（ステップ S 1 ~ S 3）。次に、データバス A の転送要求に応じてバス 9 の転送が可能であれば、バッファ RAM 9 からバス A 1 レジスタにデータの転送を実行する（ステップ S 4 ~ S 6）。このとき、データ転送ブロック 5 は、バス A 0 レジスタに保持されているデータをデータバス A に転送する（ステップ S 7）。このような処理は、データバス B の転送要求がなければ、繰り返すことになる。即ち、バス A 0 レジスタとバス A 1 レジスタとを交互に使用して、バッファ RAM 9 から転送されたデータをデータバス A に転送する。

【0023】一方、データバス B の転送要求が発生すると、バス 9 の転送が可能であれば、バッファ RAM 9 か

らバス B 0 レジスタにデータの転送を実行する（ステップ S 8 ~ S 10）。ここで、図 4 に示すように、バス 9 の転送可能時間を時分割で 2 等分にして、転送可能時間（y e s で示す時間）に転送要求があれば、データ転送が実行される。従って、次のデータバス B の転送要求が発生したときに、バス B よう転送可能時間でない時間（n o で示す時間）であれば、バッファ RAM 9 からバス B 1 レジスタへのデータ転送は実行されないことになる（ステップ S 11, S 12 の NO）。

【0024】要するに、図 4 のタイミングチャートに示すように、2 等分に時分割された転送可能時間（y e s の時間）に、各データバス A, B の転送要求が発生すれば、バッファ RAM 9 からバス A 0 レジスタ、バス A 1 レジスタ、バス B 0 レジスタ、バス B 1 レジスタのいずれかに転送されることになる。そして、データバス B も同様に、バス B 1 レジスタにデータの転送が実行されたときに、データ転送ブロック 5 は、バス B 0 レジスタに保持されているデータをデータバス B に転送する（ステップ S 13, S 14）。従って、バス B 0 レジスタとバス B 1 レジスタとを交互に使用して、バッファ RAM 9 から転送されたデータをデータバス B に転送する。

【0025】以上のように本実施形態によれば、フラッシュメモリ 2 A, 2 B 毎に専用に設けられたデータバス A, B により、それぞれ独立したデータ転送動作を実行することができる。従って、特にデータ書き込み動作時において、フラッシュメモリ 2 A, 2 B に対する平均転送速度を高速化することができる。これにより、フラッシュメモリ 2 A, 2 B に対するアクセス効率を向上することができる。

【0026】ここで、バッファ RAM 8 とのデータ転送を 1 本のバス 9 に対して、各データバス A, B 每の時分割転送によるバスアービトリエーションを実行することにより、各データバス A, B から独立して転送要求が発生した場合でも、バス 9 で干渉するような事態を防止し、各データバス A, B にバッファ RAM 8 からのデータを確実に転送することができる。

【0027】

【発明の効果】以上詳述したように本発明によれば、半導体ディスク装置を使用したシステムにおいて、各フラッシュ EEPROM 毎にデータバスを設けて、各フラッシュ EEPROM 毎に独立したデータ転送を実現できる。従って、特にデータ書き込み動作時に、各フラッシュ EEPROM に対する平均転送速度を高速化して、アクセス処理の効率を向上させることができる。

【図面の簡単な説明】

【図 1】本発明の実施形態に関係する半導体ディスク装置の要部を示すブロック図。

【図 2】同実施形態に関係するコントローラの内部構成を示す概念図。

【図 3】同実施形態に関係するコントローラの内部構成

を示す概念図。

【図4】同実施形態に関する動作を説明するためのタイミングチャート。

【図5】同実施形態に関する動作を説明するためのフローチャート。

### 【符号の説明】

## 1 …半導体ディスク装置

2A, 2B…フラッシュEEPROM (フラッシュメモリ)

### 3…データバス (データバスA, B)

#### 4. コントローラ

## 5 …データ転送ブロック

## 6 … MPU ブロック

## 7 …インターフェース

## 8…バッファRAM

### 9…バス (バッファRAM側バス)

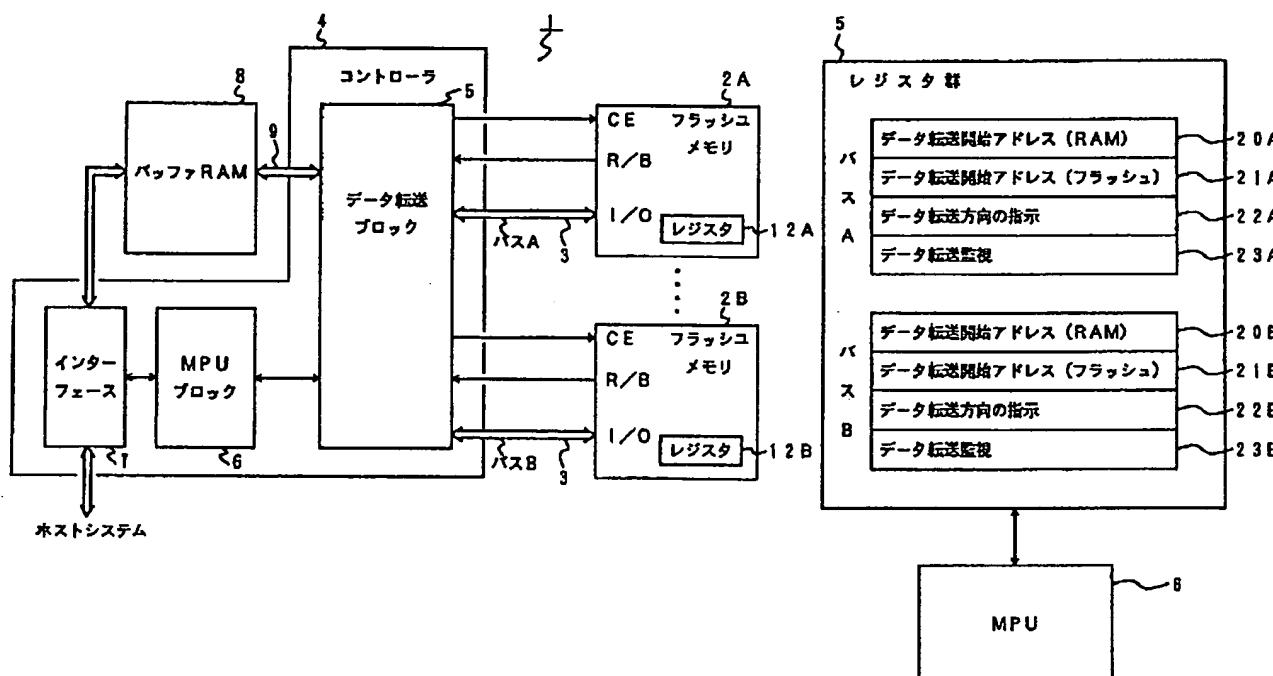
20A, 20B…データ開始アドレス用レジスタ (バッファRAM側)

21A, 21B…データ開始アドレス用レジスタ（フラッシュメモリ側）

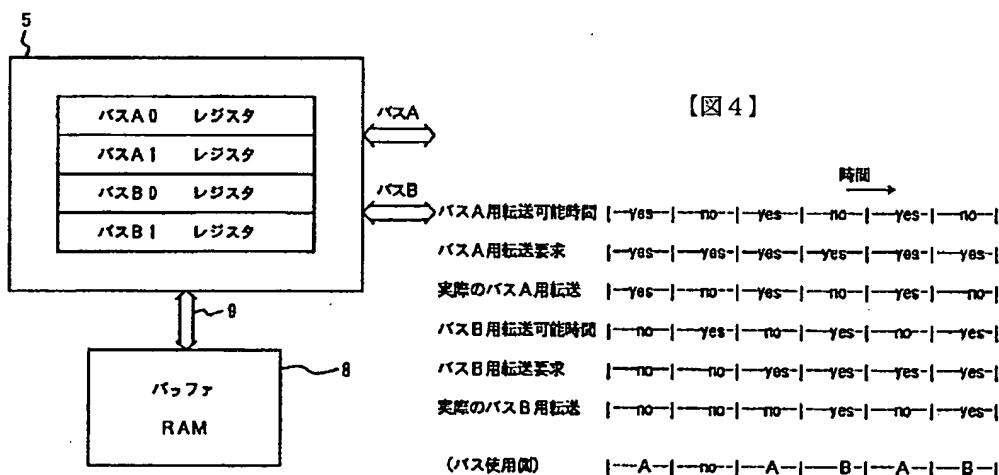
10 22A, 22B…データ転送方向の指示用レジスタ  
23A, 23B…データ転送監視用レジスタ

[図1]

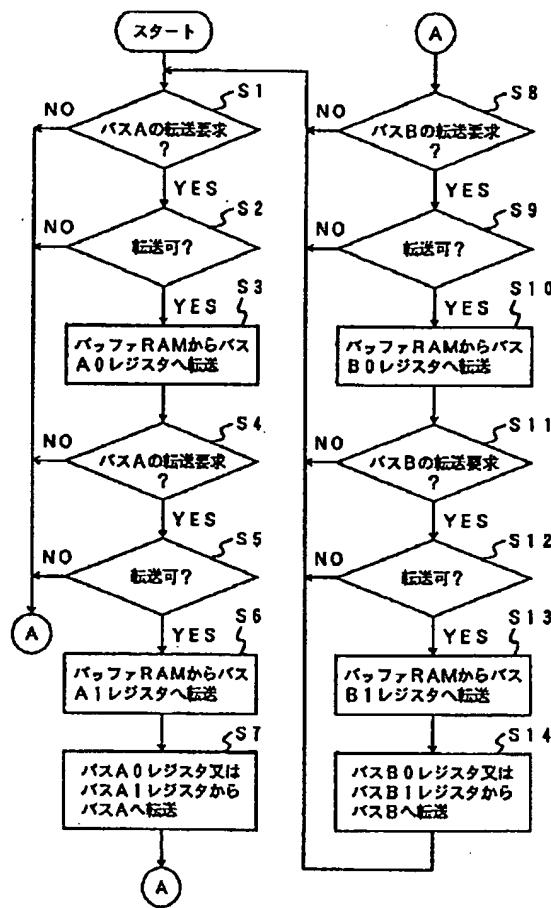
[図2]



〔图3〕



【図5】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**